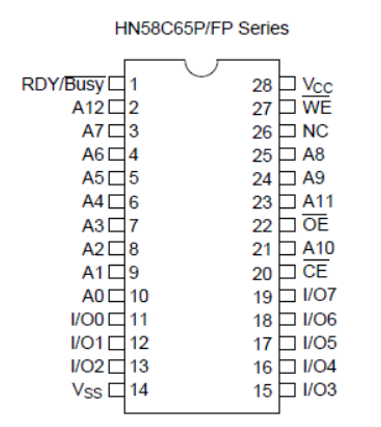
实验三 存储器rom58c65芯片的读写与扩展实验

1. 实验目的

了解ROM存储器芯片的特性、功能和执行读写操作的基本方法，设计容量位扩展电路连接。

1. 实验说明
2. 芯片引脚分布



1. 芯片连接到40座的自锁紧插座，“缺口”左对齐。芯片1-14引脚对应自锁紧插座1-14引脚，芯片15-28引脚对应自锁紧插座27-40引脚。
2. HN58C65是一种8k\*8bit电可擦除并且可编程存储器，它实现了高速，低功耗和高度的可靠性，采用了先进的MNOS存储技术和CMOS处理电路技术，它还拥有一个32字节页的编程功能使得它的擦除和写入速度更快。
3. 引脚功能说明：

|  |  |
| --- | --- |
| Pin Name | Function |
| A0~A12 | 地址输入 |
| I/O1~I/O7 | 数据输入/输出 |
|  | 输出使能端 |
|  | 片选信号 |
|  | 写入使能 |
| VCC | 电源（+5V） |
| Vgg | 接地端 |
| NC | 无连接 |
| RDY/ | 准备就绪/忙碌 |

1. 实验设置与连线：  
   （1）开关设置：关闭 开关1、开关2、开关3、开关4/MIO-K57（推上）

（2）线路连接

地址线连接（使用二号线）

K20-10（自锁紧插座周围插孔）

K21-9

K22-8

K23-7

K24-6

K25-5

K26-4

K27-3

K30-37

K31-36

K32-33

K33-35

K34-2

数据线连接（一号线和4位排线）

DP\*IC1L（11）-DP\*p0（0）

DP\*IC1L（12）-DP\*p0（1）

DP\*IC1L（13）-DP\*p0（2）

DP\*IC1L（27、28、29、30）-DP\*p0（3、4、5、6、）

DP\*IC1L（31）-DP\*p0（7）

控制线连接（二号线）

K41-39 /WE 同时 K41-G0 用于在读取数据时进行开关隔离

K40-34 /OE

片选线（二号线）

K50-32 /CE

电源线（二号线）

GND-14

VCC-40

数据显示（二号线）

11-H2-0

12-H2-1

13-H2-2

27-H2-3

28-H2-4

29-H2-5

30-H2-6

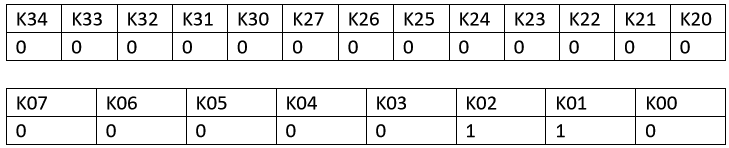
31-H2-7

1. 实验内容
2. 写入操作，写入6个存储单元

<1>K50=1

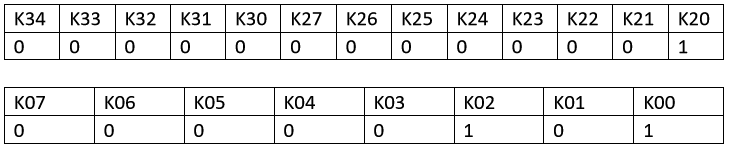
K41=0

K40=1

<2>

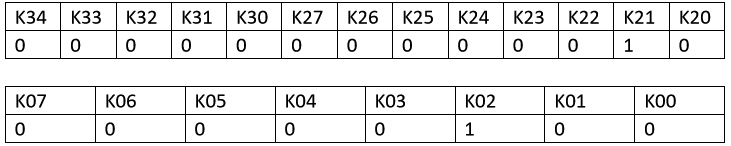
K50=0（数据写入）

K50=1



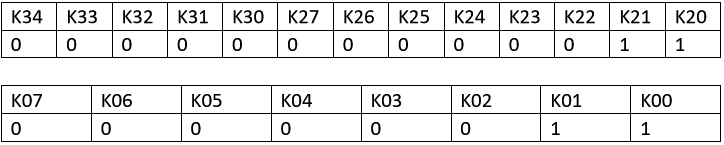
K50=0（数据写入）

K50=1



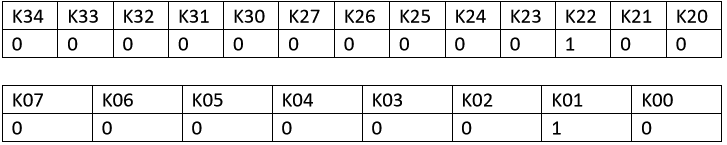
K50=0（数据写入）

K50=1



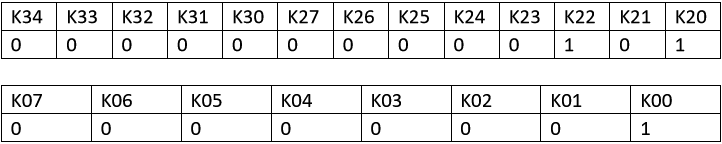
K50=0（数据写入）

K50=1



K50=0（数据写入）

K50=1



K50=0（数据写入）

1. 读出操作，读出并验证所写入的6个存储单元

<1>K50=1

K41=1

K40=0

<2>



K50=0

核对输出显示0000 0110（要求实验报告中附图说明）

K50=1



K50=0

核对输出显示0000 0101（要求实验报告中附图说明）

K50=1



K50=0

核对输出显示0000 0100（要求实验报告中附图说明）

K50=1



K50=0

核对输出显示0000 0011（要求实验报告中附图说明）

K50=1



K50=0

核对输出显示0000 0010（要求实验报告中附图说明）

K50=1



K50=0

核对输出显示0000 0001（要求实验报告中附图说明）

1. 思考题：

在上述单片存储电路的基础上，设计连接存储单元为16位的存储器，并演示读写结果。